

# CFP2: 主流 100 G 部署带来新的测试和测量要求

自 2009 年以来，早期基于 CFP 外形的 100 G 客户端部署一直被人们所应用。模块主机接口基于采用既有 10 G 技术的更稳健的 10 x 10 G 接口。尽管 CFP 外形很灵活（支持各种各样的技术，从 40 G 串行到 40 G 并行以及采用 4 x 25 G 和 10 x 10 G 形式的 100 G 都可支持），但它庞大的外形和相对复杂的技术使其无法满足主流 100 G 所要求的密度和价格预期目标。

图 1 显示了 100 G 客户端外形演变。CFP2 外形以适合于更多主流应用的价格实现了密度要求。它的光 (LR4) 接口与 100 G CFP 相同，面板密度则为其两倍。主机接口从 10 x 10 G 变为了 4 x 25 G。它也继续使用 CFP 所使用的 MDIO 控制接口。当第一个 100 G CFP 于 2008 年出现时，10 G 数据速率电子产品已经相对成熟，因此，与光子模块所需的 25 G 相比，主机接口 (10 x 10 G) 相对而言没有风险。CFP 需要一个所谓的“变速箱”IC 来将 10 x 10 G (CAUI) 主机接口复用/去复用为光子模块所需的 4 x 25 G 通道。25 G 数据路径限制在 CFP 模块内的短距离中，因而不需要通过可插拔连接器或主机/模块边界上的较长轨迹。使用 10 G 技术使得连接器和 PCB 的设计能够基于现有实践进行。有关动态偏差和信号完整性等问题的难题已经得到克服，从而使早期购买者能够使用 CFP。

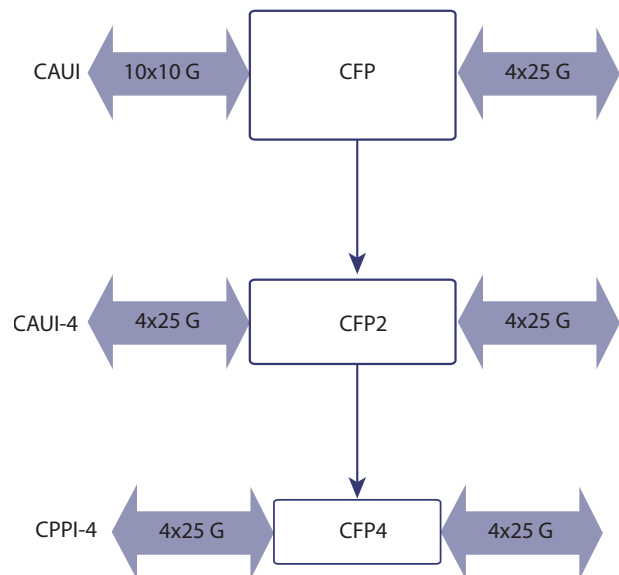


图 1.100 G 外形的演变

过渡到 CFP2 要求 25 G 数据速率信号遍历可插拔主机/模块接口（很可能包括若干英寸的 PCB 迹线），从而会带来相当大的难题，因为大多数 25 G IC 仍然是第一代；并且，我们缺乏像对 10 G 一样的丰富知识和经验。我们预期会面临以 10 G 速率使用 CFP 时曾遇到过的难题（串扰、信号完整性和动态偏差），而这些难题还将与 25 G 数据速率的难题混杂在一起。

从 2013 年起，CFP2 以及密切相关的 CFP4 将很有可能成为 100 G 可插拔设备的主导外形。因此，了解开发利用 CFP2 的密度和价格的设备所面临的难题，具有重要的意义。图 2 提供了 CFP2 方框图，图 3 显示了一款商用 CFP2。

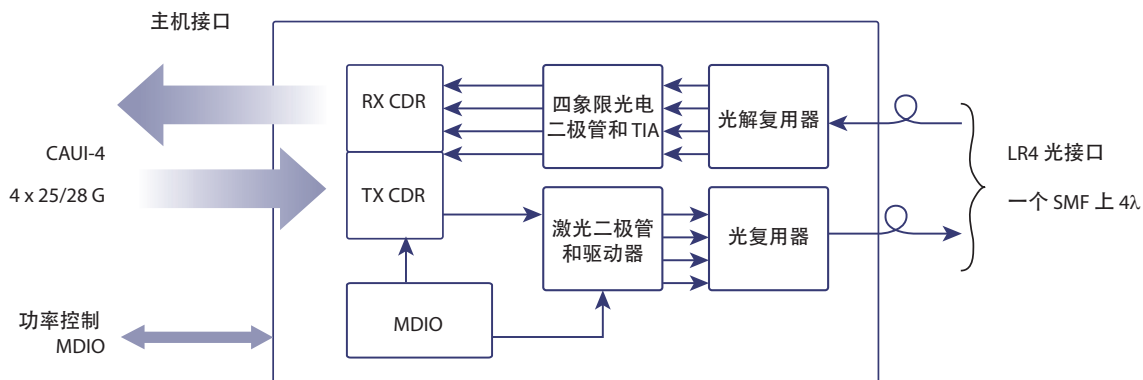


图 2. CFP2 方框图



图 3. Viavi Solutions CFP2

## 25 G I/O

高速 I/O 会带来非常大的难题，甚至 CFP 中使用的第三代“成熟”10 G 技术都会为设计人员在保持信号完整性和可靠性能方面带来许多棘手问题，特别是在产品进入生产阶段时尤为如此。

尽管许多供应商已在测试板上展示了 25/28 G IC 和连接器，但要设计和构建合约制造商随后必须批量生产的产品却要困难得多。

传统的高速、非成帧 BERT 是唯一适合于板卡设计验证和故障排除应用的工具。但是，缺点也随之很快暴露出来：需要更深入地分析误码，缺乏本地外形支持，并且无法使用真实以太网和 OTN 信号验证性能。

Viavi 公司率先宣布推出包含本机 25/28 G I/O 的 100 G 基于 CFP2 的测试套件。在其研发和验证阶段期间，Viavi 获得了开通这些新型 25 G 接口的丰富经验。

通过将基于 CFP2 的测试套件与本机 25/28 G 接口结合使用来进行设计验证，能够避免模块和系统验证所面临的传统难题，例如测试夹具上的信号完整性、对模块（例如 MDIO）的控制和支持以及真实流量。而正是将传统高速 BERT 连接到 CFP2 评估板的行为需要匹配的 16 相位 40 GHz 2.4 毫米电缆、电源以及用于 MDIO 控件调试的笔记本电脑。这些设备非常昂贵、会花费大量的时间，并且仍会给最终用户留下许多信号完整性问题。即使有了这一测试设置，用户仍然完全无法执行成功验证 CFP2 光收发模块所需的许多测试和过程。图 4 显示了采用传统误码仪的 25/28 G 测试环境的复杂性。

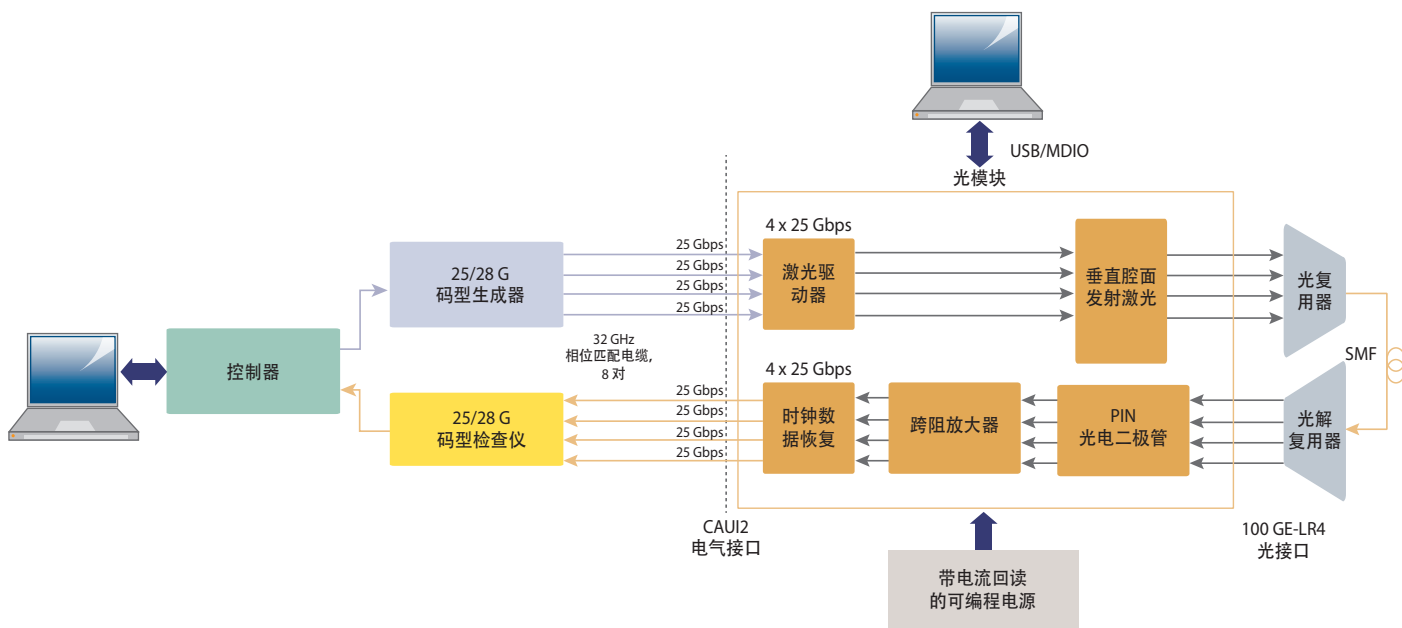


图 4. 25/28 G 测试环境

有了本机 CFP2 支持以及包括物理层及以太网和 OTN 流量、CFP2 调试、MDIO、动态偏差和高级误码分析在内的一系列完整应用程序，Viavi 基于 ONT CFP2 的测试模块完全涵盖了验证 CFP2 的方方面面。

## 关键测试

CFP2 模块是一种紧密耦合的系统，需要系统的验证和测试方法。需要对性能、温度、电源电压和控制状态之间的相互作用进行仔细检查，如图 5 所示。

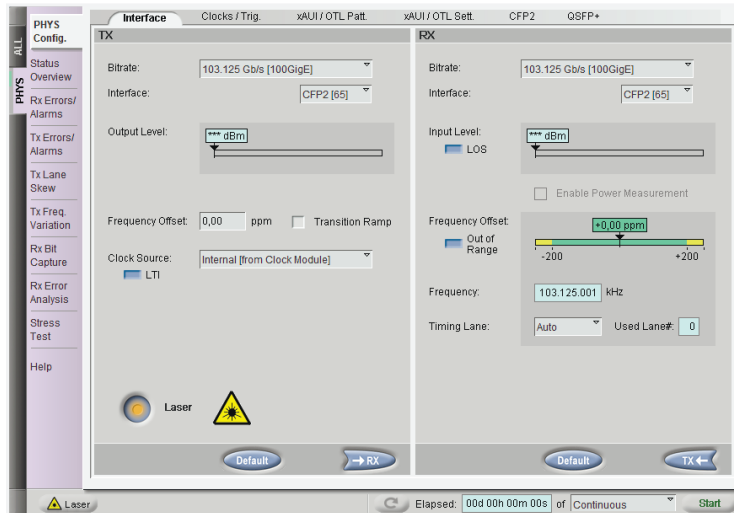


图 5. CFP2 概览

最基本的测试是简单的环回流量测试。通常，此测试涉及到将 DUT 插入 ONT CFP2 中，并在一系列条件下运行一系列非成帧 (PRBS31) 和成帧 (以太网流量码型) 测试。数据链中诸如时钟和数据恢复 (CDR) 设备等许多动态组件可能会受到信号的各种频谱特性的影响。使用真实信号 (例如，以太网) 在动态时钟情境下对它们施加压力是重要的，如图 6 所示。ONT CFP2 使用户能够设置一系列时间偏置，测试套件可以使用可变速度和驻留时间循环通过这些时间偏置。这样可以模拟真实情况下的时钟动态特性，并在动态元素可跟踪时钟更改的情况下显示比特误码事件。ONT CFP2 使用户能够在一系列电源电压范围 (包括正常 MSA 范围以外的很大范围) 内执行这些测试。在真实系统电源电压中的长迹线和全负荷范围内，可能会遇到低于 2.7 V 的电压，因此在这些极端情况下的验证十分重要。

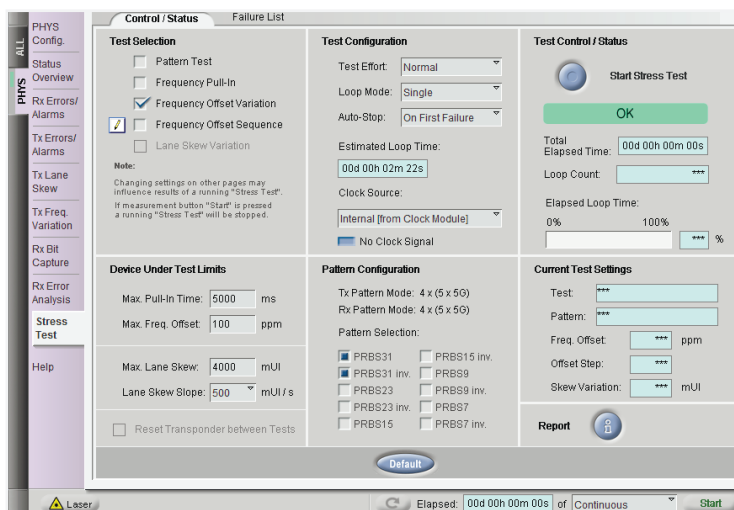


图 6. CFP2 压力测试

IEEE 802.3ba 中特别显示了信道间延迟中不易察觉但动态的变化所导致的动态偏差。这是一个非常真实的问题，并且了解各个元件在极限点或超出极限范围时的性能对于交付可靠的系统至关重要。此前以 ONT CFP 开发的测试已得到扩展，可对直至 25/28 G 接口上的 512 UI 进行动态偏差测试，从而实现了较大程度地超过标准中所注明的 92 UI 的全面测试和验证，如图 7 所示。

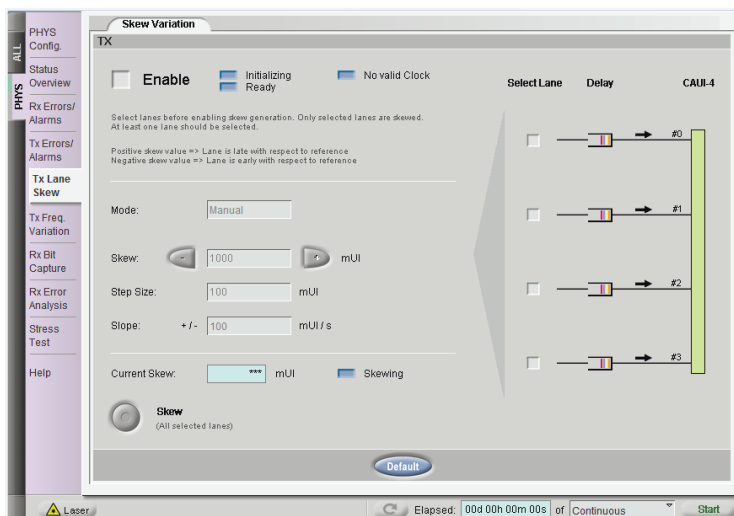


图 7. CFP2 动态偏差

表 1 提供了确保可靠 CFP2 验证的关键测试的示例。

所需的测试	原因	方法
流量环回	连通性和基本模块功能（MDIO、功率和控制）	将所测试的 CFP2 插入 ONT CFP2 中以检查 MDIO 和控制验证状态。检查模块的能耗。先后使用非成帧（PRBS）信号和以太网流量运行测试。依据要求记录和检查误码。使用 MDIO 应用程序操作和监控模块的控制脚针以确保正确的功能行为。
动态偏差	依据 IEEE 802.3ba 验证偏差变化容限	使用动态偏差应用程序设置适当的限制（92 $\mu$ l）。使用不同的偏差速率（从 1 UI/s 直至 10 mUI/s）运行测试，检查各种可能的操作情况下的性能。注：这是一项非常重要的测试，应进行该项测试以验证与 LR4（光电）端上的 CFP 模块的完全互操作性。
模块电源余量	确保模块在可能的电源范围内能正常操作	运行流量环回测试，但调整模块电压（使用 ONT CFP2 的情况下可能为 2.5 V – 3.7 V）。查找问题，特别是时钟动态范围的问题。
MDIO 验证	确保能够正常访问 MDIO 寄存器	使用集成的 MDIO 应用程序读取 MDIO 地址空间块，确保您可以使用 MDIO peek/poke 命令写入寄存器。
压力测试	对模块完全施加压力以验证在真实情况下的性能，其中包括： <ul style="list-style-type: none"> <li>· 流量信号完整性（串扰）</li> <li>· 时钟动态范围（时钟偏置和拉入）</li> <li>· 偏差变化容限</li> <li>· 流量敏感度</li> </ul>	将 CFP2 插入 ONT CFP2 中并运行 CFP2 压力测试。用户可设置诸如时钟动态范围、偏差范围和流量类型等参数。该项测试将验证模块在整个动态范围内的性能。

表 1. 实现 CFP2 可靠验证的关键测试

## 物理层难题

### 信号完整性

#### 比特误码

**确定性（码型相关）** — 频率相关影响（例如耦合电容以及驱动程序和接收器带宽限制）可导致码型相关性。长序列伪随机比特序列（PRBS）（通常为 231）有很长的一系列 0 和 1，其宽频内容会对带宽相关性产生压力。使用示波器（通过稳定的谐波相关的触发器信号）进行的 BER 测试和监控可检测并显示它们导致的影响。

**串扰** — 四条并行（差分）25 G 通道需要跨主机模块 PCB、跨连接器以及 CFP2 模块内部的近距离布线。串扰可能会使两个邻近通道中的能量耦合，从而导致与码型和通道内定时密切相关的比特误码。很明显，如果所有通道都传输具有相同偏置的相同码型（通常为 PRBS），串扰将很有可能会加强所需的、在压力测试期间很不理想的码型。理想情况下，会为一个“牺牲品”通道分配基本码型，而其他通道则传输主动式码型（通常有轻微的 UI 以下偏差），从而最大程度地增加具有破坏性、可引起串扰的码型的可能性。

**随机** — 传输过程中始终可能会发生随机比特误码，在较低信号电平的光电链路上尤为如此。利用外部（每波长）光衰减，能够依据光功率绘制出 BER，从而获得有关光电接收器/激光组合的重要信息。此功能对于第二代 100 G 光学器件特别有用，因为这些光学器件从基于外部调制激光（EML）的技术改为使用基于直接调制激光（DML）的技术（DML 可能没有易碎的、像眼睛一样的 EML）。用于跟踪误码 0 和误码 1 的 BERT 系统也可帮助用来在其他事物中确认光学自动增益控制（AGC）；通常情况下，这些误码应该会有均衡的 0 和 1 分布。

#### 比特滑动

**CDR（短距离滑动）** — 时钟和数据恢复（CDR）电路是高速链路的一个关键部分。许多各种各样的影响会对这类电路区块的性能产生影响，但通常的结果是在 CDR 重新定时时出现比特滑动。在传统的测试套件中，比特滑动通常会导致同步丢失，从而需要数百毫秒时间来使测试套件重新同步。最终用户必须要确定误码突发的原因，并且可能需要重新同步。先进的测试设备可以指明比特误码是短距离滑动（通常滑动 1 至 2 个比特位），从而指明 CDR 相关问题。

**FIFO 重新居中（通常表现为同步丢失）** — 在不同的时钟域之间转移数据时，先进/先出（FIFO）缓冲区至关重要。在很少见的情况下，FIFO 问题可能会损坏大数据块，然后在 FIFO 重新填充和居中时发生重新同步。比特位滑动距离要远远长于基于 CDR 的问题中通常的 1 到 2 个比特位滑动距离。这种滑动可能是由物理层条件触发的设计问题。

## 动态偏差

### IEEE 标准定义了特定接口点处的偏差变化容限

动态偏差生成（按 UI 以下步进在大范围内相对于彼此持续移动单个通道的能力）对于在各个接口点验证定时电路纠错操作十分重要。CFP2 使用的 4 x 25 G 接口必须容许 92 UI 的动态偏差（依据 IEEE 802.3ba，表格 80.5）。动态偏差可帮助突出显示串扰问题，并且还可帮助调整相对通道定时，实现通道之间的最坏情况耦合。此测试对于检查 CFP 模块的 25 G 端来确保内部变速箱正常工作也非常有用。

## 真实数据信号对 CDR、色散控制和其他问题的影响

### 码型相关性 (PRBS 与 实信号)

基于 PRBS 码型和各种各样可选择码型 (通常为 27...231) 的传统测试无法确定许多硬件问题。在使用 PRBS 验证数据链路时, 发生以下两个问题:

- PRBS 包含不同于真实信号的光谱内容 (例如成帧 OTN), 因此, 即使数据信号相对于 PRBS 侵略性较低, CDR 等频率相关系统也可能表现出不同的行为。
- 随着集成度的提高, 诸如 MAC IC 等组件无法与非成帧 PRBS 配合工作, 并且需要真实数据信号来验证和通过内部数据路径。在验证组件性能时, 使用真实信号测试真实物理层 (偏差、抖动和眼控) 的能力至关重要。

因此, 必须将从包含 BER 分析器的传统单板设计验证过程迁移到更精密的测试程序, 后者采用的测试套件可以验证物理层性能和合规性, 同时生成真实电信网络中使用的成帧 (以太网/OTN) 信号。

### 时间范围和动态范围

100 G 系统内使用的各种 CDR 和时钟系统通常使用大量的锁相回路 (PLL)。大范围内改变基本时钟频率 (每百万 [PPM] 偏置通常达到正常部分的 10 倍) 以及允许时钟跳变和匀变的功能可能会对时钟链产生压力, 因此设计需要大量的余量。对数据信号进行抖动调制的能力对于验证接收器 (特别是 CDR) 的性能和设计余量也十分重要。

当然, 测试设备不会孤立地存在, 因此核心测试设备需要适当的触发器和时钟 I/O, 以使其能够与其他设备 (特别是快速示波器) 同步。

时钟和触发器 I/O 应保持低噪声和低抖动, 这一点对于触发器信号至关重要, 因为即使触发器中的一点点不确定性都可能导致过度眼闭 (见图 8)。

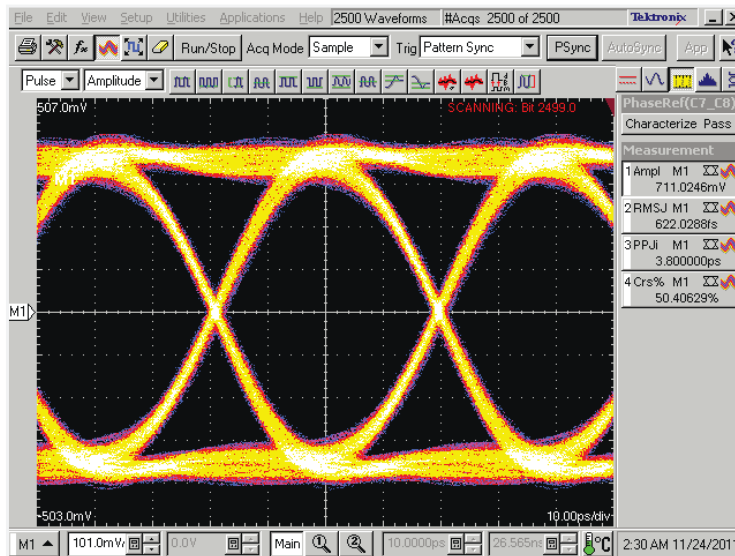


图 8. 25 G 处的定时余量过紧, 需要低抖动触发器和低相位噪声时钟。

## 结论

100 G 技术要过渡到主流, 必须满足价格和外形预期目标。为了实现这一点, 这一技术必须以可靠、稳定的硬件作为基础。在过渡到此阶段的过程中, 开发和验证期间使用的测试设备要能应对 25/28 G 物理层需求的难题, 这一点至关重要。



北京  
电话: +8610 6476 1300  
传真: +8610 6476 1302

上海  
电话: +8621 6859 5270  
传真: +8621 6859 5265

深圳  
电话: +86755 8691 0100  
传真: +86755 8691 0001

© 2015 Viavi Solutions Inc.  
本文档中的产品规格及描述可能会有所更改,  
恕不另行通知。  
cfp2-wp-opt-tm-zh  
30176022 901 0313

网站: [www.viavisolutions.cn](http://www.viavisolutions.cn)