

ホワイトペーパー

VIAVI ONT を使用した FEC 実装のテストおよび検証

このホワイトペーパーでは、VIAVI ONT ファミリーで使用可能な一連のアプリケーションを使用して、400G および関連するイーサネットテクノロジーで使用される FEC IP ブロックの開発、テスト、および検証を行う方法について説明します。

最新の通信システムでは、前方誤り訂正 (FEC) テクノロジーを幅広く使用して、信頼性の高い高性能通信リンクを確保しています。超長距離海底ケーブルからバックプレーンのショートホップまで、FEC を使用して全体的なパフォーマンスを向上させることができます。最近 400G のイーサネットが登場したことにより、FEC が必須のイーサネットインターフェイスが広く展開されるようになりました。この FEC ブロックの開発、テスト、検証は、オープンでマルチベンダーのプラグアンドプレイのエコシステムを実現するために必要です。FEC は OTN (光伝送ネットワーク) テクノロジーに広く導入されており、VIAVI はテストおよび FEC 検証およびトラブルシューティングにおいて多くの経験を有しています。これらの経験は、現在の特定のニーズと課題に対応する必要性から、最新の 400G イーサネットでさらに拡張されています。

FEC とは

実際の通信システムでは、目的とするメッセージは多数のシンボルとして符号化されます (最も単純な場合は、バイナリビット)。メッセージは、ノイズ、破損、歪み、その他の影響を受けつつ、通信チャンネルを介して送信されます。チャンネル内のノイズがランダムな数の送信ビットを破壊するため、目的とするメッセージが破損することが予想されます。また、パリティやチェックサムなどの単純な手法を使用してメッセージを検証することはできますが、通常はメッセージを再送信する必要があることを意味します。実際のリンクでは、エラーがデータパケットの継続的な再送信を引き起こす可能性があるため、最新の通信システムでは明らかに非効率的です。

FEC を使用する場合、目的とするメッセージは送信側 (通常は固定ブロックサイズ) で符号化され、選択した FEC アルゴリズムに従って追加ビットが加えられます。この追加情報は、ノイズの多いチャンネルを経由して、目的とするメッセージとともに送信されます。以前と同様に複数の送信ビットが破損する可能性がありますが、レシーバー FEC アルゴリズムは、追加ビットを使用して破損したビットを検出および訂正できます。通信チャンネルの特性と使用される FEC アルゴリズムによりませんが、最新の FEC アルゴリズムでは、追加のデータ「オーバーヘッド」は発生しますが、ノイズの多いチャンネルを事実上エラーなしに見えるようにすることができます。

FEC アルゴリズムのパフォーマンスはさまざまな方法で表現できます。1つの一般的な方法は、符号化利得です。これは、特定の FEC を使用してデータを送信することによりチャネルの信号対雑音比 (SNR) が事実上向上したことになるものです。IEEE では、400G イーサネット (802.3bs) で使用する FEC を選択する際に、実装の複雑さ、レイテンシー、パフォーマンス、必要な電力、および IC 領域など、多くの要素を考慮しました。10 ビットで構成される各シンボルを含む 514 シンボルコードワードに作用するリード - ソロモンベースの FEC を使用することが決定され、FEC 符号を追加して 544 シンボルに拡張されました。これにより、コードは各コードワードブロックで最大 16 個のエラーシンボルを検出して訂正できます (FEC は 16 個を超えるエラーシンボルを検出できませんが訂正することはできません。コードワードに破損している旨のフラグを付けることはできます)。

IEEE 802.3 規格のドキュメントは、イーサネット FEC のリファレンスです。実装については定義していませんが、規格と定義を規定しています。

VIAVI ONT のスクリーンショット (図 1) は、FEC デコーダーが信号フロー内にどのように収まるかを示しています。16 個の論理レーン (4 個の PAM-4 光レーン (1 レーンあたり 100G または 56 Gbd) ないし 8 個の PAM4 電気レーン (28 Gbd) としてエンコード可能) は、PCS ロジックに入り、各レーンは固有のアライメントマーカ (AM) で識別され、追跡されます。ロジックは、各レーンが正しく識別され、スキューの限界内にあるかどうかを判断し、ブロックに渡して、レーンを再編成します (送信で使用される多重化および逆多重化のプロセス中に再編成され、スキューされた可能性があります)。その後、デスクュー補正を行い、再整列してコードワードにします。次に、コードワードブロックはインターリーブされた FEC ブロックに渡されます。このブロックは、送信中に発生したエラーを検出して訂正します。エラーが過剰で訂正できないコードワードは、訂正不能の印を付けられます。コードワードは、その後コード変換され、さらに (MAC 処理のために調整 (リコンシレーション) レイヤー) に渡されます。

各段階で、さまざまなアラームとエラーをアサートすることで、ステートマシンとデータフローをトラックすることができます。FEC デコーダーはレーザーロジックの最も複雑な部分の 1 つであり、この論理ブロックの正しい機能と性能は、400G システムの開発、テスト、および検証の主要部分です。

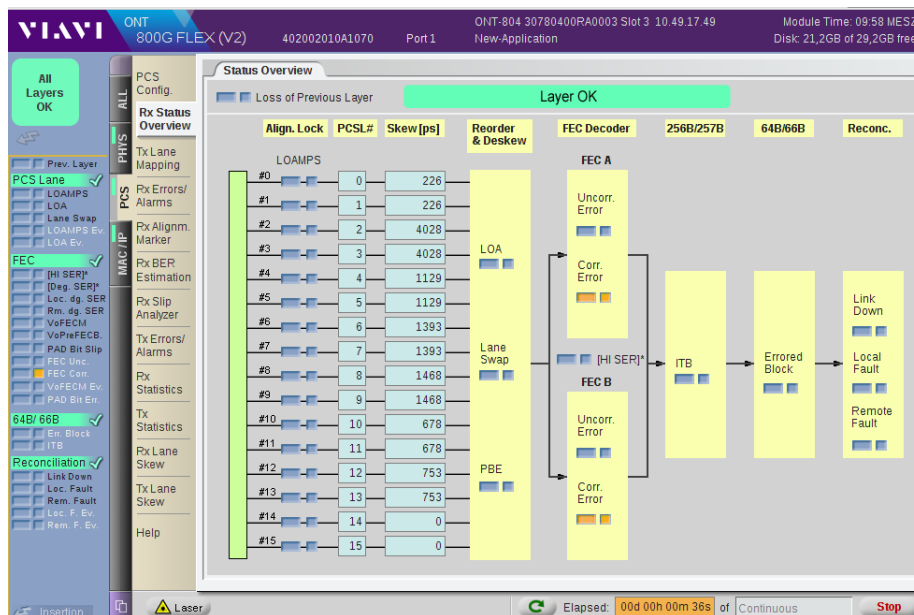


図 1: ONT に示されている FEC デコーダーブロック

400GE FECの詳細

FECブロックには、(データを符号化する)トランスミッターと(復号し、エラーを検出して訂正し、上位レイヤーに適切な情報を送信する)レシーバーの両方で追加の複雑なロジックが含まれます。

次の表は、KR4 FEC (NRZ 符号化シグナリングに使用) および PM-4 で使用される KP4 FEC のパフォーマンスを示しています。400GE に焦点を当てていますので、KP4 FEC に焦点を当てることにします。

KP4 FEC では、10 ビットで構成される 514 シンボルを使用し、KP4 FEC ロジックで符号化され、544 シンボルコードワードを形成します。これは、30 個の「パリティ」シンボル(各 10 ビット)が追加されたものです。レシーバー FEC は、受信した 544 シンボルコードワードブロック内で最大 15 個のエラーシンボルを検出して訂正できます。受信したコードワードに 15 以下のエラーシンボルがある場合、FECレシーバーの出力は完全に訂正されたコードワードになります。高エラーコードワード(15 個を超えるエラーシンボル)は検出され、フラグが付けられますが、レシーバーはもはやこれらのエラーを訂正できません。

FEC 符号化プロセスは、情報を「拡張して」符号化利得を取得します。KP4 FEC の場合は、さらに 30 個のシンボル(元の 5140 ビットのコードワードのブロックに 300 ビット)が追加されます。これにより、特定の数のエラーを検出して訂正する機能が追加されます。これは、「符号化利得」と同じです。実質的に、リンク SNR が数 dBs だけ改善されたように見えます。KP4 FEC の場合、この符号化利得は 6.5 dB (ポアソンランダム誤差分布を前提とした場合)で、予測されるポスト FEC BER は 10^{-12} です。もちろん、この符号化利得は無料ではありません。FEC には 3 つの「コスト」があります。

- トランスミッターおよびレシーバーの PCS レイヤーに余分なロジックが必要です。このロジックは ASIC または FPGA の消費電力と領域を必要とし、もちろん追加のデザインコストもかかります。
- レイテンシーが増加します。FEC ロジックでは、コードワードの動作と符号化および逆符号化に時間が必要です。これは、FEC レイテンシーがエンドツーエンド全体の伝送遅延のかなりの部分になる短いリンクでは重大な問題になる可能性があります。通信および長距離回線の場合、これは通常は問題ではありません。
- 必要な追加パリティビットは、送信データ速度を増加させる必要があることを意味します。この回線速度の追加により、電子および光伝送エレメントの帯域幅、パフォーマンス、および電力要件が増加することになります。

ほとんどの場合、リンクの符号化利得は FEC の追加負担を十分上回りますが、特殊なケースでは、より良い(エンジニアリングされた)リンクを持つよりも軽い FEC (符号化利得は低いがレイテンシーが低い)を使用する場合があります。

RS-FEC	パラメータ名	NRZ PHY	PAM4 PHY
FEC 符号化	—	RS (528, 514, t = 7, m = 10)	RS (544, 514, t = 15, m = 10)
シンボルの合計	n	528	544
メッセージシンボル	k	514	514
パリティシンボル	n~k	14	30
シンボルあたりのビット数	m	10	10
訂正可能なシンボル	t	7	15
符号化利得	DFE	4.9 dB @ 1E-15	5.4 dB @ 1E-15
	ランダム	5.3 dB @ 1E-12	6.5 dB @ 1E-12

図2: NRZ PHY (KR4-FEC) と PAM-4 PHY (KP4 FEC) のパフォーマンス比較

論理 FEC 実装のテスト

ONT FEC ツールからのこのビューは、400GE リンク上の FEC の優れた概要を示すものです。これは、トランスミッターコードワードの簡潔な概要 (各10 ビットの 544 シンボル) であり、選択されたシンボル (マークされたシンボル) を「エラー」にする機能を示しています。10 ビットシンボルの個々のビットは、ビットマスクを使用してエラーになることがあります。400G は 2 つのインターリーブされたコードワード間でバーストが「薄められる」ため、2 つのインターリーブされた FEC (FEC A および FEC B) を使用して、エラーバーストに対する保護を強化していることに注目することが重要です。

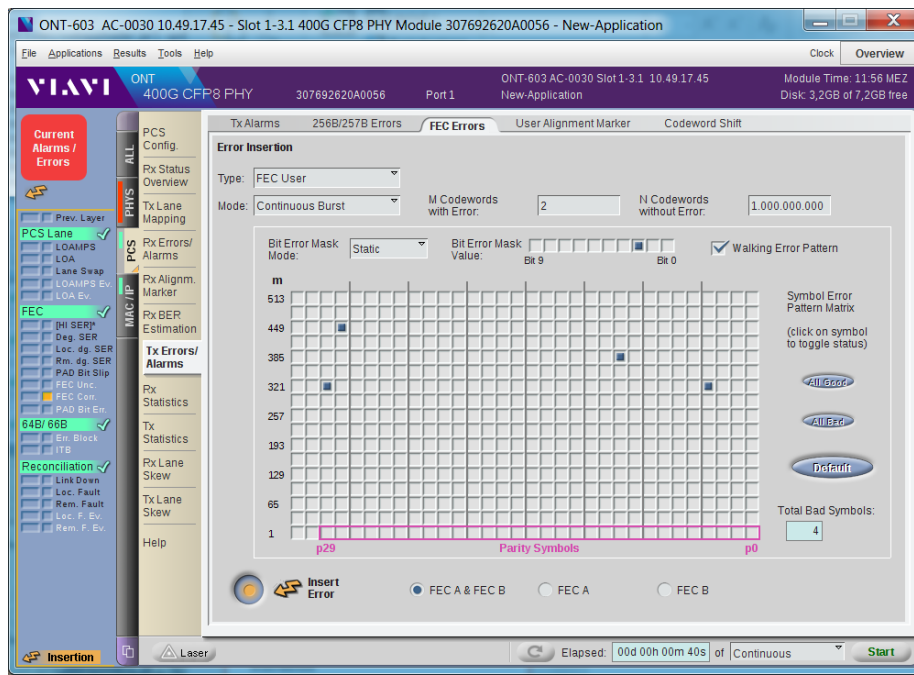


図3: 正確なエラーの位置決め機能を示す ONT FEC ストレスアプリケーションのユーザーモード画面

簡単な FEC のパフォーマンス監視

今日のほとんどのテストセットは、VIAMI が開拓したコードワードテーブルビューごとのエラーシンボルを示しています。次の例は、「不良」リンクからの出力を示しています (このケースでは、リンクがエラーを発生させるように設計されています)。コードワード内のシンボルの大部分にはエラーはありませんが (エラーシンボルは 0)、エラーシンボル数はコードワードあたり 5 つのエラーシンボルまで急速に (エラーシンボル数が追加されるたびに 2 桁以上) 減少します。これが不正リンクであることは、6~15 個のエラーシンボルカウントの非常に長いテールがあることと、リンクがコードワードごとに訂正不能 (≥ 16) のエラーシンボルを保持しているという事実から分かります。このリンクは、VIAMI の「高度エラー解析」スイートなどのツールを使用してさらに調査を行う必要があります。

エラーシンボル数は、特定のリンク上のシステムのパフォーマンスを示しますが、FEC 実装を検証したり負荷をかけることはなく、エラーの「根本原因」はほとんど分かりません。シンボル数ビューは、DUT FEC レシーバー実装ではなく、テストセット FEC ブロックを使用したリンクのテストセットビューを表示するだけです。

No. of Symbols	Count	Percentage
0	4,496,897,584,919	99.924110
1	3,410,587,388	0.075786
2	4,316,290	0.000096
3	11,000	0.000000
4	211	0.000000
5	71	0.000000
6	33	0.000000
7	17	0.000000
8	19	0.000000
9	15	0.000000
10	8	0.000000
11	7	0.000000
12	8	0.000000
13	2	0.000000
14	5	0.000000
15	0	0.000000
≥ 16	5	0.000000

図4: 400GE リンクのコードワードビューごとのクラシックエラーシンボル

テストおよび検証が必要な FEC の特性

FEC の 2 つのコア要素を、研究開発および検証段階でテストおよび検証する必要があります。つまり、FEC の論理的な「正確性」と実際に実装した時の安定性です。これらは関連性があり、相互に絡み合っていますが、堅牢性と信頼性を確保するためには、それぞれ明確なテスト方法が必要です。VIAVI は、FEC テストアプリケーションセットの 2 つのアプリケーションを使用して、この概念を実現します。

FEC ストレステスト

このテストは、FEC の論理的な検証に焦点を当て、特定のコードワード内のさまざまなエラー数と位置に対して、FEC が現実的に対応できることを確認するものです。可能性のある組み合わせは無数にあるため、すべてをカバーすることはできませんが、アプリケーションは、十分な「インテリジェント」があり、確かなカバレッジを提供できます。

VIAVI の FEC ストレスアプリケーションを使用すると、エラーを手動で位置決めすることにより、FEC を正確にプローブすることができます (図 3 を参照)。また、1~15 個のエラーシンボルのコードワード内の潜在的なエラー位置をスキャンして、FEC の論理的なパフォーマンスを検証するための確かなカバレッジを提供する包括的な自動モードにも対応します。自動モードでは、エラーシンボルの位置と数のすべての組み合わせをカバーすることはできませんが、アプリケーションは適切な実行時間で最適なカバレッジを提供するように慎重に調整されています。ユーザーは、テストの「深さ」を調整することにより、潜在的なテストの実行時間に合わせるすることができます。自動テストで問題が検出された場合は、手動テストを使用して、ロジックのどの領域で、どの条件で正常に動作していないかを調査できます。

ダイナミック FEC ストレス

FEC ロジックが正しい場合でも、特に電源の整合性などの問題がある場合、実装上の障害が原因でテスト中のハードウェアに障害が発生する可能性があります。FEC のデコードおよびチェックブロックは、多くの場合、多数の XOR ベースのロジックゲートを持つ広いパラレルバス構造で実装されます。エラーの検出と訂正により、ロジック電源の需要が急速に変化する可能性があります。このような急激な電流スパイクは、特に FPGA で電源の完全性の問題を引き起こす可能性があります。また、ポイントオブロードコンバーターの出カインピーダンスダイナミクス、PCB レイアウト、およびデカップリングの問題を明らかにすることもできます。アプリケーションは、オシロスコープなどのツールと組み合わせて使用し、IC パッケージ周辺の電源のダイナミクスをトレースすることができます。

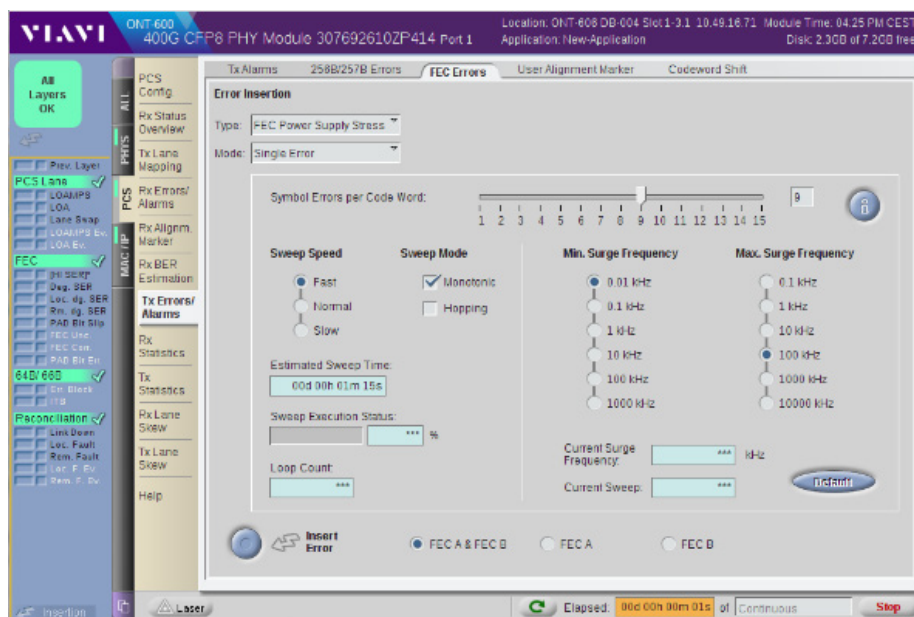


図 5: ストレスを動的に変化させる機能を示す ONT のダイナミック FEC ストレス制御ページ

上の画面は、FEC に動的にストレスをかけるために必要な重要な設定の一部を示しています。ユーザーはコードワード内のエラーシンボルの数をダイヤルインしますが、エラー注入レートによる追加の制御が提供されています。電力および電流インパルスの物理レートであるため、周波数で表示されます。さまざまな周波数で電力インパルスを駆動する機能（および範囲をスweepする機能）を使用して、電源と FEC のレジスターロジックに関連したエレメントにストレスをかけることができます。「適切な」実装を行えば、すべての条件で期待どおりに実行されますが、不安定な実装をすると、予測不可能で一貫性のない結果をもたらし、ロックアップやクラッシュを引き起こす可能性があります。もちろん、このようなストレスバーストエラー周波数の組み合わせは、フィールドでは非常にまれですが、トラブルシューティングや再現が不可能なため、安定し適合した製品を製造するには、研究開発およびシステム検証テスト (SVT) の段階での重く包括的なストレス検証が不可欠です。

このようなテストは、さまざまな温度および電源電圧レベルで実行することもでき、これにより、フルマージンテストが可能になり、実際の不具合の状態を把握できます。

テストモード	特性	アプリケーション領域
FEC の妥当性確認	FEC ロジックのステップバイステップの組合せテスト	FEC IP ベンダーの選択 FEC IP の検証 温度によるタイミングの安定性 インターオペレーションデバッグ FEC BER のホスト S/W 検証
FEC ユーザーモード	コードワード内のエラーを正確に位置決めする機能	特定のロジック領域の詳細なトラブルシューティングと、タイミングマージンの安定性に関する研究開発 FPGA チームの調査 FEC ロジックの制御ハーネスを記述するファームウェアチーム
ダイナミックな FEC 電源の完全性	ダイナミックエラーバースト	FPGA および ASIC のフロアプラン シグナルインテグリティ 電力供給デザイン PCB デカップリング 最大消費電力と熱テスト

まとめ

FECは高速イーサネットの主要な要素であり、ネットワークでクリティカルな役割を果たします。高速イーサネットでは、FECの信頼性と相互運用性が必須です。適切なツールがなければ、FEC パフォーマンスの信頼性の高いカバレッジを実現できません。論理的なインターオペレーションの課題は、動的な問題、スプリアスでトラブルシューティングを困難にするイベントを発生させる稀でランダムな問題によってさらに複雑になっています。

シンプルな FEC の概要ツールを使用すると、リンクヘルスの非常に基本的な概要を表示できますが、真の FEC およびリンクパフォーマンスについては把握できません。ONT の高度エラー解析アプリケーションのみがエラーの性質を詳細に調べることができます。また、FEC ツールのスイートは、400G エコシステム全体で正しく相互動作する、堅牢で規格に準拠した 400GE 製品を提供するために不可欠です。論理 FEC ストレスは、ストレスの多いエラーパターンを自動的にスキャンしてロジックを検証します。問題が見つかった場合は、手動のエラー位置決めツールを使用して、エンジニアが詳細を調べ、根本原因を見つけることができます。ダイナミックFECストレステストは、FECロジックに対し、他のテストおよび検証アプリケーションではできないような負荷をかけます。ダイナミックエラーバーストは、FECロジック、最大化エラー、最大電力、最大ダイナミクスを動的にロードしながら、電源の整合性にストレスを与えます。

VIAVI ONT の FEC アプリケーションを使用して、FEC の設計と実装に完全な自信をもってください。



〒163-1107
東京都新宿区西新宿6-22-1
新宿スクエアタワー7F

電話: 03-5339-6886
FAX: 03-5339-6889

Email: support.japan@viavisolutions.com

© 2020 VIAVI Solutions Inc.
この文書に記載されている製品仕様および内容は
予告なく変更されることがあります
test-validate-fec-ont-wo-opt-nse-ja
30191243 900 0620